

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02103951 A

(43) Date of publication of application: 17.04.80

(51) Int. Cl

H01L 21/76
H01L 21/316

(21) Application number: 63257705

(22) Date of filing: 13.10.88

(71) Applicant: MITSUBISHI ELECTRIC CORP

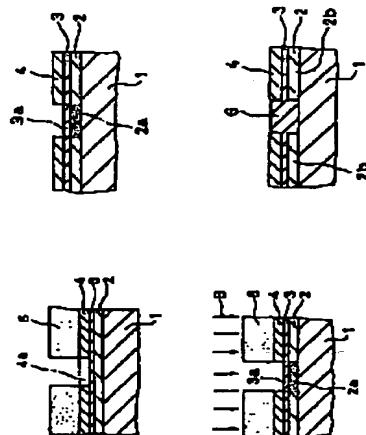
(72) Inventor: IPPOSHI TAKASHI
NISHIMURA TADASHI
INOUE YASUAKI**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To suppress the occurrence of a bird's beak and to expand element forming regions by providing a compound forming rate larger than that in other parts by oxidizing isolating regions of Si single crystal layers after the formation of a polycrystal part or an amorphous part.

CONSTITUTION: A single crystal Si 2 and SiO_3 3 are provided on an insulating substrate 1. A window is provided at a region 4a corresponding to an element isolating region. Double-layer masks of Si_3N_4 4 having said region 4a and resist 5 are provided on the insulating substrate 1. Si ion beams B are implanted, and a specified region 2a is made amorphous. The entire resist 5 is removed, and annealing is performed at about 600°C. Then the region 2a is made to be the polycrystalline region. Then, the entire resist is removed, and heat treatment is performed in O_2 . At this time, the compound forming rate of the polycrystalline or amorphous region 2a is larger than that of other single crystal regions. Therefore oxidation is made to progress quickly along the thickness. The occurrence of a bird's beak is effectively suppressed. Element isolating regions having the required thickness are

formed. The element forming regions 2a and 2b are separated each other.

COPYRIGHT: (C)1990,JPO&Japio



⑫ 公開特許公報 (A)

平2-103951

⑬ Int. Cl. 5

H 01 L 21/76
21/316
21/76

識別記号

府内整理番号

⑭ 公開 平成2年(1990)4月17日

D 7638-5F

M 7638-5F

6824-5F H 01 L 21/94

A

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭63-257705

⑰ 出願 昭63(1988)10月13日

⑱ 発明者 一法師 隆志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発明者 西村 正 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発明者 井上 靖朗 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代理人 弁理士 大岩 増雄 外2名

明細書

る工程と

1. 発明の名称

を含むことを特徴とする半導体装置の製造方法。

半導体装置の製造方法

2. 特許請求の範囲

3. 発明の詳細な説明

(1) 表面上にシリコン単結晶層とシリコン酸化膜とシリコン窒化膜とが順次形成された絶縁基板を用意したうえ、前記シリコン窒化膜上にフォトレジスト層を形成してバーニングし、フォトレジスト層の残存部をマスクとして前記シリコン窒化膜の素子分離領域と対応する所定領域を除去する工程と、

(産業上の利用分野)

この発明は、半導体装置の製造方法に係り、詳しくは、その素子形成領域を互いに分離するための素子分離領域の形成方法に関する。

(従来の技術)

従来から、半導体装置の素子分離領域を形成するにあたっては、第2図で手順を追って示すような製造方法が一般的に採用されている。

前記フォトレジスト層の残存部をマスクとしてエネルギービームを照射し、前記シリコン酸化膜の露出領域を介して前記シリコン単結晶層の素子分離領域となる所定領域を多結晶化もしくは非晶質化する工程と、

まず、第2図(a)で示すように、あらかじめ用意した絶縁基板1の表面上にシリコン単結晶層2を形成したのち、このシリコン単結晶層2上に熱酸化によるシリコン酸化膜3を成長させ、さらに、その上にシリコン窒化膜4をCVD法によって堆積する。そして、第2図(b)で示すように、シリコン窒化膜4上にフォトレジスト層5を塗布・形成してバーニングしたのち、バーニングされたフォトレジスト層5の残存部をマスクとしてシ

前記フォトレジスト層の残存部を除去したのち、酸素を含むガス雰囲気中で熱処理することによって前記シリコン単結晶層の多結晶化もしくは非晶質化された領域を酸化して素子分離領域を形成す

リコン窓化膜4の素子分離領域と対応する所定領域4aをエッチングによって除去する。

つぎに、フォトレジスト層5の残存部をすべて除去したうえ、この絶縁基板1を酸素を含むガス雰囲気中で熱処理することによって、第2図(c)で示すように、シリコン窓化膜4の所定領域4a下に露出するシリコン酸化膜3の所定領域3aを介してシリコン単結晶層2の所定領域2aを選択酸化技術によって酸化する。このことにより、シリコン単結晶層2の所定領域2aが酸化されてシリコン酸化膜3の所定領域3aがその厚み方向および横方向に沿って拡大される結果、第2図(d)で示すような所要厚みのシリコン酸化物、すなわち、絶縁物からなる素子分離領域6が形成される。なお、このとき、シリコン窓化膜4下に食い込んで形成されたシリコン酸化物部分A、Aは、一般にバーズ・ピーク(Bird's Beak)といわれている。

(発明が解決しようとする課題)

ところで、前記従来の半導体装置の製造方法に

しくは非品質シリコンを酸化するようすれば、これらの有する化合物生成レートの方が単結晶シリコンの有する化合物生成レートよりも大きいことからバーズ・ピークの発生を抑制することが可能になると考えられる。

本発明にかかる半導体装置の製造方法は、上記知見に基づいてなされたものであって、表面上にシリコン単結晶層とシリコン酸化膜とシリコン窓化膜とが順次形成された絶縁基板を用意したうえ、前記シリコン窓化膜上にフォトレジスト層を形成してパターニングし、フォトレジスト層の残存部をマスクとして前記シリコン窓化膜の素子分離領域と対応する所定領域を除去する工程と、前記フォトレジスト層の残存部をマスクとしてエネルギー・ビームを照射し、前記シリコン酸化膜の露出領域を介して前記シリコン単結晶層の素子分離領域となる所定領域を多結晶化もしくは非品質化する工程と、前記フォトレジスト層の残存部を除去したのち、酸素を含むガス雰囲気中で熱処理することによって前記シリコン単結晶層の多結晶化もし

おいては、酸素を含むガス雰囲気中での熱処理を行った際、素子領域を分離するための絶縁物の厚みと同程度の幅を有するバーズ・ピークA、Aが形成されてしまう。そのため、これらのバーズ・ピークA、Aによってシリコン単結晶層2における素子形成領域2b、2bが狭められ、結果として半導体装置における高集積化が妨げられてしまうという不都合が発生していた。

本発明は、このような不都合を解消するために創案されたものであって、バーズ・ピークの発生を抑制し、素子形成領域の拡大を図ることが可能な半導体装置の製造方法を提供することを目的としている。

(課題を解決するための手段)

ところで、前述したようなバーズ・ピークは、良好な結晶性を有する単結晶シリコンを酸化することから発生し、単結晶シリコンと酸素との化合物生成レートが小さい、すなわち、両者の反応速度が遅いことに起因するものと考えられる。そこで、単結晶シリコンよりも結晶性の劣る多結晶も

くは非品質化された領域を酸化して素子分離領域を形成する工程とを含むものである。

(作用)

上記製造方法によれば、シリコン単結晶層の素子分離領域となる所定領域をエネルギー・ビームの照射によってあらかじめ多結晶化もしくは非品質化したのち、酸素を含むガス雰囲気中で熱処理することによってシリコン単結晶層の多結晶化もしくは非品質化された領域を酸化している。したがって、このシリコン単結晶層における多結晶化もしくは非品質化された領域は、シリコン窓化膜の残存部で覆われた他の単結晶領域に比べてより大きな化合物生成レートを有することになり、その酸化反応がより速くなる結果、バーズ・ピークの発生が抑制されることになる。

(実施例)

以下、本発明にかかる半導体装置の製造方法を、第1図で手順を追って示す工程断面図に基づいて説明する。なお、本実施例にかかる第1図において、前述した従来例にかかる第2図と互いに同一

もしくは相当する部分には同一符号を付している。

まず、第1図(a)で示すように、表面上にシリコン単結晶層2とシリコン酸化膜3とシリコン窒化膜4とが順次形成された絶縁基板1を用意したうえ、シリコン窒化膜4上にフォトレジスト層5を形成してバターニングし、フォトレジスト層5の残存部をマスクとしてシリコン窒化膜4の素子分離領域と対応する所定領域4aをエッチングによって除去する。なお、この第1図(a)で示す工程は、従来例において第2図(a),(b)で示した工程と同一である。

つぎに、第1図(b)で示すように、フォトレジスト層5の残存部をマスクとしてエネルギー・ビームBを照射する、すなわち、シリコンや酸素などをイオン注入することにより、シリコン酸化膜3の所定領域4a下に露出するシリコン酸化膜3の所定領域3aを介してシリコン単結晶層2の素子分離領域となる所定領域2aを非晶質化する。なお、このとき、シリコン単結晶層2の所定領域2aを多結晶化するには、この領域2aを一旦非晶

質化したうえでフォトレジスト層5を除去し、600°C程度の温度でアニール処理すればよい。

引き続いて、第1図(c)で示すように、フォトレジスト層5の残存部をすべて除去したうえ、この絶縁基板1を酸素を含むガス雰囲気中で熱処理することにより、シリコン窒化膜4の所定領域4a下に位置するシリコン単結晶層2の多結晶化もしくは非晶質化された所定領域2aを酸化する。このとき、このシリコン単結晶層2における多結晶化もしくは非晶質化された所定領域2aの方が他の単結晶領域よりも大きな化合物生成レートを有していることから厚み方向に沿う酸化反応の方が横方向よりも速く進行することになり、バーズ・ピークの発生が有効に抑制されることになる。その結果、シリコン酸化膜3の所定領域3aがその厚み方向に沿って拡大され、第1図(d)で示すような所要厚みのシリコン酸化物、すなわち、絶縁物からなる素子分離領域6が形成されてシリコン単結晶層2における素子形成領域2b, 2bが互いに分離される。

(発明の効果)

以上説明したように、この発明にかかる半導体装置の製造方法によれば、シリコン単結晶層の素子分離領域となる所定領域をエネルギー・ビームの照射によってあらかじめ多結晶化もしくは非晶質化したのち、酸素を含むガス雰囲気中で熱処理することによってシリコン単結晶層の多結晶化もしくは非晶質化された領域を酸化している。したがって、このシリコン単結晶層における多結晶化もしくは非晶質化された領域は、シリコン窒化膜の残存部で覆われた他の単結晶領域に比べてより大きな化合物生成レートを有することになる結果、バーズ・ピークの発生が有効に抑制されることになる。そのため、素子形成領域の拡大を図ることができ、ひいては半導体装置における高集積化が可能になるという効果が得られる。

4. 図面の簡単な説明

第1図(a)～(d)は本発明にかかる半導体装置の製造方法を示す工程断面図であり、第2図(a)～(d)は従来の製造方法を示す工程断面図である。

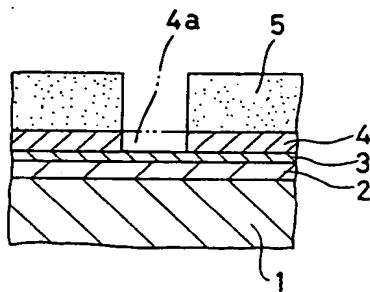
図における符号1は絶縁基板、2はシリコン単結晶層、2aはその所定領域、3はシリコン酸化膜、3aはその所定領域(露出領域)、4はシリコン窒化膜、4aはその所定領域、5はフォトレジスト層、6は素子分離領域、Bはエネルギー・ビームである。

なお、図中の同一符号は、互いに同一もしくは相当する部分を示している。

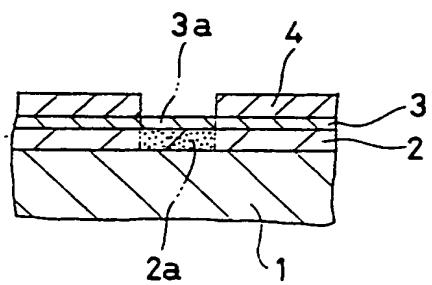
代理人 大岩 増雄

第1図(a)

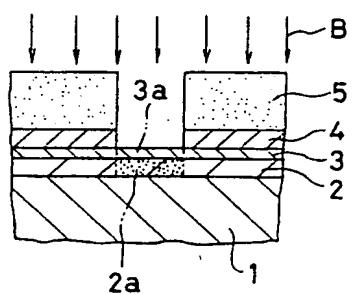
- 1 : 烧結基板
2 : シリコン単結晶層
2a : その所定領域
3 : シリコン酸化膜
3a : その所定領域
(露出領域)
4 : シリコン窒化膜
4a : その所定領域
5 : フォトレジスト層



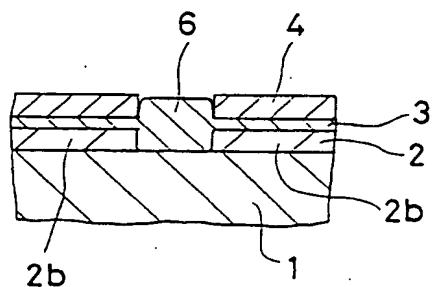
第1図(c)



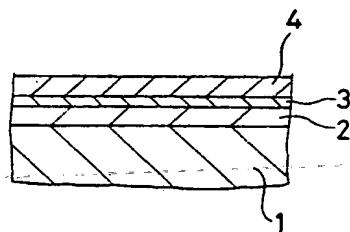
第1図(b)



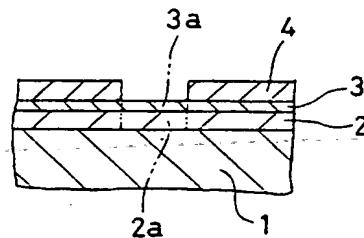
第1図(d)



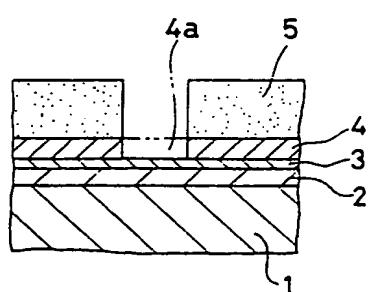
第2図(a)



第2図(c)



第2図(b)



第2図(d)

